

SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

Publication number: JP2002164512 (A)

Publication date: 2002-06-07

Inventor(s): YAMAUCHI TSUNENORI; KANEDA HIROSHI; HONMA KAZUHIRO

Applicant(s): FUJITSU LTD

Classification:


- international: *H01L21/822; H01L21/02; H01L21/322; H01L21/8238; H01L27/04; H01L27/06; H01L27/092; H01L21/70; H01L21/02; H01L27/04; H01L27/06; H01L27/085; (IPC1-7): H01L27/04; H01L21/322; H01L21/822; H01L21/8238; H01L27/092*


- European: H01L21/02B4; H01L27/06E

Application number: JP20000361526 20001128

Priority number(s): JP20000361526 20001128

Also published as:

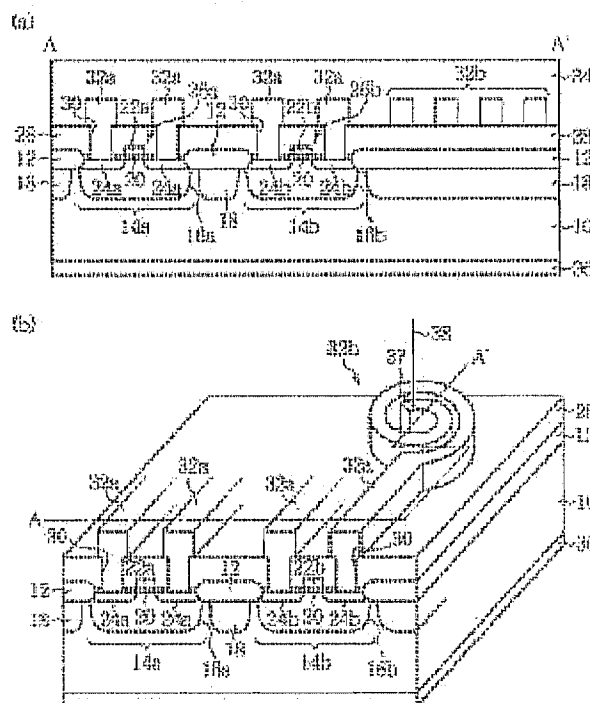
 US2002064923 (A1)

 US6528382 (B2)

Abstract of JP 2002164512 (A)

PROBLEM TO BE SOLVED: To provide a semiconductor device and its manufacturing method wherein an inductor having high Q can be formed by using a simple process. **SOLUTION:** This semiconductor device is provided with a silicon substrate 10 wherein resistivity is at least $800 \Omega \cdot \text{cm}$ and oxygen concentration is $\leq 5 \times 10^{17} \text{ cm}^{-3}$, and an inductor 32b formed on the silicon substrate.

本発明の第1実施形態による半導体装置を示す断面図



Data supplied from the esp@cenet database — Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-164512
(P2002-164512A)

(43) 公開日 平成14年6月7日 (2002.6.7)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード* (参考)
H 0 1 L	27/04	H 0 1 L	21/322
	21/822		27/04
	21/322		27/08
	21/8238		

審査請求 未請求 請求項の数 5 O L (全 12 頁) 最終頁に続く

(21) 出願番号 特願2000-361526(P2000-361526)

(22) 出願日 平成12年11月28日 (2000. 11. 28)

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72) 発明者 山内 経則

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72) 発明者 金田 寛

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74) 代理人 100087479

弁理士 北野 好人 (外1名)

最終頁に続く

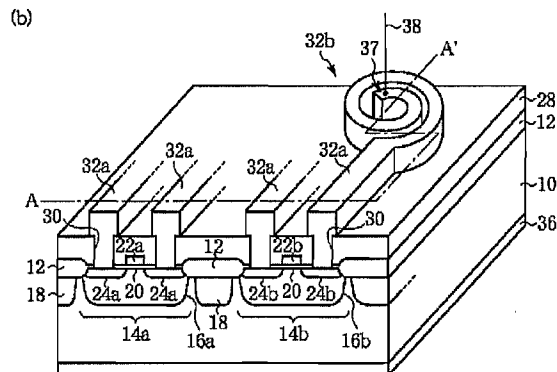
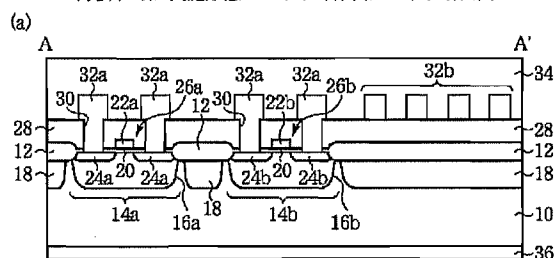
(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 簡便な工程で、Qの高いインダクタを形成することができる半導体装置及びその製造方法を提供する。

【解決手段】 比抵抗 $800\Omega\text{cm}$ 以上、酸素濃度 $5\times 10^{17}\text{cm}^{-3}$ 以下のシリコン基板10と、シリコン基板に形成されたインダクタ32bとを有している。

本発明の第1実施形態による半導体装置を示す断面図



【特許請求の範囲】

【請求項1】 比抵抗 $800\ \Omega\text{cm}$ 以上、酸素濃度 $5\times 10^{17}\text{cm}^{-3}$ 以下のシリコン基板と、

前記シリコン基板に形成されたインダクタとを有することを特徴とする半導体装置。

【請求項2】 請求項1記載の半導体装置において、前記シリコン基板上に形成された第1の半導体層と、前記第1の半導体層の第1の領域に形成されたウェルと、前記ウェル上に、ゲート絶縁膜を介して形成されたゲート電極と、前記ゲート電極の両側の前記ウェル内に形成され、少なくともその一方が前記インダクタに電気的に接続されたソース／ドレイン拡散層とを更に有することを特徴とする半導体装置。

【請求項3】 請求項1又は2記載の半導体装置において、前記シリコン基板は、金属不純物を捕捉するゲッタリング領域を更に有することを特徴とする半導体装置。

【請求項4】 比抵抗 $800\ \Omega\text{cm}$ 以上、酸素濃度 $5\times 10^{17}\text{cm}^{-3}$ 以下のシリコン基板に、インダクタを形成する工程を有することを特徴とする半導体装置の製造方法。

【請求項5】 請求項4記載の半導体装置の製造方法において、前記シリコン基板は、金属不純物を捕捉するゲッタリング領域を更に有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置及びその製造方法に係り、特に、インダクタを有する半導体装置及びその製造方法に関する。

【0002】

【従来の技術】 2GHz 帯程度の高周波信号を処理するLSIにおいては、広い周波数帯域の信号処理を可能とすべく、半導体チップ内にインダクタを形成することが有効である。

【0003】図12は、インダクタを有する従来の半導体装置を示す概念図である。

【0004】p形のシリコン基板110上には、図示しないMOSFET等が形成されている。MOSFET等が形成されたシリコン基板110上には、絶縁膜128が形成されている。絶縁膜128上には、インダクタ132bが形成されている。インダクタ132bには、ボンディングワイヤ138が接続されている。

【0005】こうして、インダクタ132bを有する従来の半導体装置が構成されている。

【0006】しかし、図12に示す従来の半導体装置では、インダクタ132bの下方のシリコン基板110中

で図12に示すように大きな渦電流が発生し、渦電流損によって、インダクタ132bのQが3～8程度と低くなってしまっていた。

【0007】インダクタのQは、低損失でシャープな共振特性を示す指標であり、近時ではQを20以上にすることが求められている。

【0008】そこで、インダクタのQを向上すべく、図13に示すような半導体装置が提案されている。図13は、提案されている半導体装置を示す概念図である。

【0009】図13に示すように、p形のシリコン基板110中には、複数のトレンチ112が形成されている。トレンチ112内には、ポリシリコンより成る高抵抗層114が埋め込まれている。高抵抗層114が埋め込まれたシリコン基板110上には、絶縁膜128が形成されている。絶縁膜128上には、インダクタ132bが形成されている。

【0010】このような半導体装置では、高抵抗層114をシリコン基板110中に埋め込むことにより、インダクタ132bの下方の比抵抗が高くなっているため、渦電流損を低減することができ、インダクタ132bのQを向上することができる。

【0011】

【発明が解決しようとする課題】しかしながら、図13に示す提案されている半導体装置では、シリコン基板110にトレンチ112を形成して、更に高抵抗層114を埋め込まなければならないため、図12に示す従来の半導体装置の場合と比べて製造工程の数が10工程程度も多くなってしまふ。このような製造工程数の増加は、半導体装置のコスト増を招くこととなる。このため、シリコン基板中に高抵抗層を埋め込むことなく、インダクタのQを高くする技術が待望されていた。

【0012】本発明の目的は、簡便な工程で、Qの高いインダクタを形成することができる半導体装置及びその製造方法を提供することにある。

【0013】

【課題を解決するための手段】上記目的は、比抵抗 $800\ \Omega\text{cm}$ 以上、酸素濃度 $5\times 10^{17}\text{cm}^{-3}$ 以下のシリコン基板と、前記シリコン基板に形成されたインダクタとを有することを特徴とする半導体装置により達成される。これにより、シリコン基板に含まれる酸素の濃度を低く設定することにより、サーマルドナー現象の影響を受けにくくすることができるので、比抵抗の高いシリコン基板を用いた場合であっても、シリコン基板の導電率が反転してしまうのを抑制しつつ、Qの高いインダクタを有する半導体装置を提供することができる。また、シリコン基板に高抵抗層を埋め込む必要がないため、Qの高いインダクタを有する半導体装置を簡便な工程で製造することができ、半導体装置のコストダウンに寄与することができる。

【0014】また、上記目的は、比抵抗 $800\ \Omega\text{cm}$ 以

上、酸素濃度 $5 \times 10^{17} \text{ cm}^{-3}$ 以下のシリコン基板に、インダクタを形成する工程を有することを特徴とする半導体装置の製造方法により達成される。これにより、シリコン基板に含まれる酸素の濃度を低く設定することにより、サーマルドナー現象の影響を受けにくくすることができるので、比抵抗の高いシリコン基板を用いた場合であっても、シリコン基板の導電型が反転してしまうのを回避しつつ、Qの高いインダクタを有する半導体装置を提供することができる。また、シリコン基板に高抵抗層を埋め込む必要がないため、Qの高いインダクタを有する半導体装置を簡便な工程で製造することができ、半導体装置のコストダウンに寄与することができる。

【0015】

【発明の実施の形態】〔第1実施形態〕本発明の第1実施形態による半導体装置及びその製造方法を説明するに先立って、本発明の原理について説明する。

【0016】図2は、p形のシリコン基板の比抵抗とインダクタのQとの関係を示すグラフである。図2から分かるように、インダクタのQは、比抵抗が高くなるに伴って高くなる傾向にある。

【0017】このことから分かるように、インダクタのQを向上するためには、p形のシリコン基板の比抵抗を高く設定すればよいと考えられる。

【0018】図3は、比抵抗の高いシリコン基板を用いた半導体装置を示す概念図である。

【0019】図3に示すように、比抵抗の高いシリコン基板70上に、絶縁膜72を介してインダクタ74を形成すれば、渦電流が小さくなり、渦電流損を低減することができるので、インダクタのQを向上することができると思われる。

【0020】しかしながら、p形のシリコン基板70の比抵抗を単に高く設定した場合には、インダクタ74等を形成する工程で行われる450℃程度の熱処理により、シリコン基板70の導電型が変化してしまいやすい。

【0021】即ち、p形のシリコン基板には、一般に、 10^{18} cm^{-3} オーダーの酸素が含まれており、インダクタ等を形成する工程で行われる450℃程度の熱処理により、シリコン基板中に酸素錯体が生じる。この酸素錯体は、n形ドーパントとして機能するものであり、サーマル（熱的）ドナー又は酸素ドナーとよばれる。ここで、サーマルドナーがシリコン基板等の導電型に影響を与える現象をサーマルドナー現象という。

【0022】図12に示したように、比抵抗 $10 \Omega \text{ cm}$ 、酸素濃度 $1.5 \times 10^{18} \text{ cm}^{-3}$ の通常のp形のシリコン基板110を用いた場合には、シリコン基板110中に含まれるp形のドーパント不純物の濃度が高いため、サーマルドナー現象の影響を受けにくく、p形のシリコン基板110の導電型はn形に変化しにくい。例えば、450℃の熱処理を、300分以上行わなければ、

p形のシリコン基板110の導電型がn形に反転してしまうことはない。

【0023】これに対し、比抵抗の高いp形のシリコン基板を用いた場合には、p形のドーパント不純物がわずかししか含まれていないため、サーマルドナー現象の影響を受けやすい。このため、p形のシリコン基板70の比抵抗を例えば $100 \Omega \text{ cm}$ と単に高く設定した場合には、450℃の熱処理をわずか30分行っただけで、p形のシリコン基板70の導電型がn形に反転してしまう。本来p形であるべきシリコン基板70の導電型がn形に反転してしまうと、素子分離が困難になる等、半導体装置の製造プロセス上、様々な不都合が生じる。

【0024】そこで、本願発明者らは、鋭意検討した結果、シリコン基板の酸素濃度を低く設定すれば、p形のシリコン基板の導電型がn形に反転するのを抑制しつつ、Qの高いインダクタを有する半導体装置を提供することに想到した。

【0025】即ち、比抵抗の高いp形のシリコン基板は、p形のドーパント不純物をわずかししか含まないため、サーマルドナーの影響を受けやすい。しかし、シリコン基板の酸素濃度を低く設定すれば、熱処理によって生じるサーマルドナーの量を少なくすることができるため、サーマルドナー現象がシリコン基板の導電型に与える影響を低減することが可能となる。

【0026】図4は、熱処理時間とサーマルドナーの発生量との関係を示すグラフである。横軸は、熱処理時間を示しており、縦軸は、サーマルドナーの発生量を示している。実施例1は、酸素濃度の低いシリコン基板、具体的には酸素濃度 $5 \times 10^{17} \text{ cm}^{-3}$ のシリコン基板の場合を示しており、比較例1は、通常のシリコン基板、具体的には酸素濃度 $1.5 \times 10^{18} \text{ cm}^{-3}$ のシリコン基板の場合を示している。図中の破線は、p形のシリコン基板の導電型がn形に反転するラインを示している。なお、図4は、熱処理温度を450℃とした場合のものである。

【0027】比較例1に示すように、通常のシリコン基板には、酸素が多く含まれているため、サーマルドナーの発生量が多い。しかし、通常のシリコン基板の比抵抗は $10 \Omega \text{ cm}$ と低く、p形のドーパント不純物がシリコン基板に多く含まれているため、 $1 \times 10^{15} \text{ cm}^{-3}$ 程度のサーマルドナーが発生しなければ、シリコン基板の導電型はn形に反転しない。このため、通常のp形のシリコン基板においては、導電型がn形に反転するまでの時間は、約300分と長く確保できている。

【0028】一方、比抵抗 $800 \Omega \text{ cm}$ のp形のシリコン基板には、p形のドーパント不純物がわずかししか含まれていないため、 $6 \times 10^{13} \text{ cm}^{-3}$ 程度のサーマルドナーが発生すると、p形のシリコン基板の導電型がn形に反転してしまう。しかし、p形のシリコン基板に含まれる酸素の濃度を $5 \times 10^{17} \text{ cm}^{-3}$ と低く設定すれば、実

施例１に示すようにサーマルドナーの発生量を少なくすることができる。このため、酸素濃度を低く設定したp形のシリコン基板の場合には、比抵抗を $800\ \Omega\text{cm}$ と高く設定した場合であっても、導電型がn形に反転するまでの時間は、約1000分と長く確保することができる。

【0029】このように、本発明によれば、p形のシリコン基板中に含まれる酸素の濃度を低く設定するので、比抵抗の高いp形のシリコン基板を用いる場合であっても、サーマルドナー現象の影響を受けにくくすることができる。従って、本発明によれば、p形のシリコン基板の導電型がn形に反転してしまうのを回避しつつ、Qの高いインダクタを有する半導体装置を提供することが可能となる。

【0030】（半導体装置）本発明の第1実施形態による半導体装置を図1を用いて説明する。図1は、本実施形態による半導体装置を示す断面図である。

【0031】図1に示すように、比抵抗 $800\ \Omega\text{cm}$ 、酸素濃度 $5 \times 10^{17}\text{cm}^{-3}$ の(100)のp形のシリコン基板10の表面には、素子領域14a、14bを画定する素子分離膜12が形成されている。

【0032】なお、シリコン基板10の比抵抗は、 $800\ \Omega\text{cm}$ に限定されるものではなく、インダクタのQを所望の高い値に設定することができるよう適宜設定すればよい。例えば、 $800 \sim 3000\ \Omega\text{cm}$ の範囲で設定することができる。

【0033】また、シリコン基板10中に含まれる酸素の濃度も、 $5 \times 10^{17}\text{cm}^{-3}$ に限定されるものではなく、サーマルドナー現象の影響を低減できるように適宜設定すればよい。例えば、シリコン基板10の酸素濃度は、 $5 \times 10^{17}\text{cm}^{-3}$ 以下の範囲で設定することができる。

【0034】素子分離膜12により画定された紙面左側の素子領域14aには、n形ウェル16aが形成されている。素子分離膜12により画定された紙面中央の素子領域14bには、p形ウェル16bが形成されている。

【0035】素子領域14a、14bの周囲のシリコン基板10中には、チャネルストップ層18が形成されている。本実施形態でチャネルストップ層18が形成されているのは、以下の理由によるものである。

【0036】即ち、本実施形態による半導体装置では、比抵抗の高いシリコン基板10が用いられているため、空乏層が広がりやすく、また、基板表面で導電型の反転が生じやすい。このため、素子分離膜12のみによっては、素子分離を確実に行うことが必ずしも容易でない。そこで、本実施形態では、少なくとも素子領域14a、14bの周囲のシリコン基板10中に、シリコン基板10よりp形不純物濃度の高いチャネルストップ層18を形成し、比抵抗の高いシリコン基板10を用いることによる弊害を回避している。

【0037】素子分離膜12が形成されたシリコン基板10上には、ゲート絶縁膜20が形成されている。素子領域14aのゲート絶縁膜20上には、p形のドーパント不純物が高濃度に導入されたポリシリコン膜より成るゲート電極22aが形成されている。ゲート電極22aの両側のn形ウェル16a内には、p形のドーパント不純物が導入されたソース／ドレイン拡散層24aが形成されている。こうして、素子領域14aに、ゲート電極22aとソース／ドレイン拡散層24aとを有するp形のMOSFET26aが形成されている。

【0038】素子領域14bのゲート絶縁膜20上には、n側のドーパント不純物が高濃度に導入されたポリシリコン膜より成るゲート電極22bが形成されている。ゲート電極22bの両側のp形ウェル16b内には、n形のドーパント不純物が導入されたソース／ドレイン拡散層24bが形成されている。こうして、紙面中央の素子領域14bに、ゲート電極22bとソース／ドレイン拡散層24bとを有するn形のMOSFET26bが構成されている。

【0039】更に、全面には、PSG（Phospho-Silicate Glass）より成る平坦化膜28が形成されている。この平坦化膜28により、基板全体が平坦化されている。

【0040】平坦化膜28には、ソース／ドレイン拡散層24a、24bに達するコンタクトホール30が形成されている。

【0041】コンタクトホール30が形成された平坦化膜28上には、Alより成る配線32a及びインダクタ32bが形成されている。インダクタ32bは、配線32aを介して、pチャネルMOSFET26aのソース／ドレイン拡散層24aや、nチャネルMOSFET26bのソース／ドレイン拡散層24b等に電気的に接続されている。

【0042】配線32a及びインダクタ32bが形成された平坦化膜28上には、PSGより成るカバー膜34が形成されている。

【0043】カバー膜34には、インダクタ32bのボンディングパッド部37に達する開口部（図示せず）が形成されている。

【0044】インダクタ32bは、ボンディングパッド部37において、ボンディングワイヤ38と接続されている。

【0045】シリコン基板10の裏側には、ゲッタリングサイト（Gettering site）として機能するポリシリコン膜36が形成されている。ここで、ゲッタリングサイトとは、金属不純物を捕捉するための領域をいう。

【0046】一般のシリコン基板の場合には、シリコン基板中に含まれている酸素の濃度が高いため、酸素析出によって金属不純物を捕捉することが可能である。しかし、本実施形態による半導体装置では、酸素濃度の低いシリコン基板10が用いられているため、金属不純物を

酸素析出によって捕捉することは困難である。そこで、本実施形態による半導体装置では、シリコン基板10の裏側にゲッタリングサイトとして機能するポリシリコン膜36を形成することにより、金属不純物を捕捉できるようにしている。これにより、金属不純物によるMOSFET等の特性を劣化を回避することができる。

【0047】こうして、本実施形態による半導体装置が構成されている。

【0048】図5は、本実施形態による半導体装置の共振特性を示すグラフである。横軸は周波数を示しており、縦軸は利得を示している。実施例2は、本実施形態による半導体装置の共振特性を示しており、比較例2は、図12に示す従来の半導体装置の共振特性を示している。

【0049】図5に示すように、実施例2、即ち本実施形態による半導体装置では、比較例2、即ち従来の半導体装置に比べて、シャープな共振特性が得られている。このことは、本実施形態による半導体装置によれば、渦電流損が低減され、Qの高いインダクタンスが得られることを示している。

【0050】このように本実施形態によれば、シリコン基板に含まれる酸素の濃度を低く設定することにより、サーマルドナー現象の影響を受けにくくすることができるので、比抵抗の高いp形のシリコン基板を用いた場合であっても、p形のシリコン基板の導電型がn形に反転してしまうのを抑制することができる。従って、本実施形態によれば、p形のシリコン基板の導電型がn形に反転してしまうのを回避しつつ、Qの高いインダクタを有する半導体装置を提供することができる。

【0051】また、本実施形態によれば、シリコン基板の裏面にゲッタリングサイトとして機能するポリシリコン膜が形成されているので、酸素濃度の低いシリコン基板を用いる場合であっても、金属不純物をゲッタリングすることができる。従って、酸素濃度の低いシリコン基板を用いる場合であっても、半導体装置の特性が劣化するのを回避することができる。

【0052】（半導体装置の製造方法）次に、本実施形態による半導体装置の製造方法を図6乃至図8を用いて説明する。図6乃至図8は、本実施形態による半導体装置の製造方法を示す工程断面図である。なお、図6乃至図8で、左側はpチャネルMOSFETが形成される領域40aであり、紙面中央はnチャネルMOSFETが形成される領域40bであり、紙面右側はインダクタが形成される領域40cである。

【0053】まず、裏面に膜厚1 μ mのポリシリコン膜36が形成された比抵抗800 Ω cm、酸素濃度 5×10^{17} cm⁻³の(100)のp形のシリコン基板10を用意する。

【0054】なお、シリコン基板10の比抵抗は、800 Ω cmに限定されるものではなく、インダクタのQを

所望の高い値に設定することができるように適宜設定すればよい。例えば、800 \sim 3000 Ω cmの範囲で設定することができる。

【0055】また、シリコン基板10中に含まれる酸素の濃度も、 5×10^{17} cm⁻³に限定されるものではなく、サーマルドナー現象によるシリコン基板10の導電型のn形反転を回避できるよう適宜設定すればよい。例えば、シリコン基板10の酸素濃度は、 5×10^{17} cm⁻³以下の範囲で設定することができる。

【0056】次に、LOCOS (LOCal Oxidation of Silicon) 法により、シリコン基板10の表面に、素子領域14a、14bを画定する素子分離膜12を形成する。この際に、p⁺形のチャネルストップ層18も併せて形成する。

【0057】次に、イオン注入法により、素子領域14aにn形のドーパント不純物であるPを導入し、これによりn形ウェルを形成する。イオン注入条件は、例えば80keV、 7×10^{12} cm⁻²とする。

【0058】次に、イオン注入法により、素子領域14bにp形のドーパント不純物であるBを導入し、これによりp形ウェル16bを形成する。イオン注入条件は、例えば120keV、 2×10^{13} cm⁻²とする。この後、1200℃、120分の熱処理を行う。

【0059】次に、熱酸化法により、素子分離膜12が形成されたシリコン基板10上に、ゲート絶縁膜20を形成する（図6（a）参照）。

【0060】次に、全面に、CVD法により、膜厚400nmのポリシリコン膜42を形成する（図6（b）参照）。

【0061】次に、nチャネルMOSFETが形成される領域40b及びインダクタが形成される領域40cを覆うフォトリソレジストマスク44をマスクとして、n形のドーパント不純物、例えばPをイオン注入し、pチャネルMOSFETが形成される領域40aのポリシリコン膜42にn形のドーパント不純物を導入する。イオン注入条件は、例えば50keV、 1×10^{16} cm⁻²とする。これにより、n形のドーパント不純物が導入されたポリシリコン膜42aが形成される（図6（c）参照）。

【0062】次に、pチャネルMOSFETが形成される領域40a及びインダクタが形成される領域40cを覆うフォトリソレジストマスク46をマスクとして、n形のドーパント不純物、例えばPをイオン注入し、nチャネルMOSFETが形成される領域40bのポリシリコン膜42にn形のドーパント不純物を導入する。これにより、n形のドーパント不純物が導入されたポリシリコン膜42bが形成される（図7（a）参照）。

【0063】次に、フォトリソグラフィ技術により、ポリシリコン膜42、42a、42bをパターニングし、ポリシリコンより成るゲート電極22a、22bを形成

する。

【0064】次に、nチャネルMOSFETが形成される領域40b及びインダクタ40cが形成される領域40cを覆うフォトリソマスク48をマスクとして、ゲート電極22aに自己整合でp形のドーパント不純物、例えばBをイオン注入する。イオン注入条件は、例えば BF_2^+ イオン、40keV、 $1.5 \times 10^{15} \text{ cm}^{-2}$ とする。これにより、ゲート電極22aの両側のn形ウェル16a内に、ソース/ドレイン拡散層24aが形成される。こうして、ゲート電極22aとソース/ドレイン拡散層24aとを有するpチャネルMOSFET26aが形成される(図7(b)参照)。

【0065】次に、pチャネルMOSFETが形成される領域40a及びインダクタが形成される領域40cを覆うフォトリソマスク50をマスクとして、ゲート電極22bに自己整合でn形のドーパント不純物、例えばAsをイオン注入する。イオン注入条件は、例えば80keV、 $2 \times 10^{15} \text{ cm}^{-2}$ とする。これにより、ゲート電極22bの両側のp形ウェル16b内に、ソース/ドレイン拡散層24bが形成される。こうして、ゲート電極22bとソース/ドレイン拡散層24bとを有するnチャネルMOSFET26bが形成される(図7(c)参照)。

【0066】次に、全面に、CVD法により、膜厚800nmのPSG膜を形成する。この後、1000℃、10分の熱処理を行うことにより、PSG膜のリフローを行う。これにより、PSGより成る平坦化膜28が形成される。なお、この熱処理により、ソース/ドレイン拡散層24a、24bのドーパント不純物も拡散される。

【0067】次に、フォトリソグラフィ技術により、平坦化膜28に、ソース/ドレイン拡散層24a、24bに達するコンタクトホール30を形成する(図8(a)参照)。

【0068】次に、全面に、スパッタ法により、1 μm のアルミニウム膜32を形成する(図8(b)参照)。

【0069】次に、フォトリソグラフィ技術により、アルミニウム膜32をパターニングし、アルミニウムより成る配線32a及びインダクタ32bを形成する。

【0070】次に、全面に、CVD法により、膜厚1 μm のPSG膜より成るカバー膜34を形成する。

【0071】次に、カバー膜34に、ボンディングパッド部37(図1(b)参照)に達する開口部(図示せず)を形成する。この後、ボンディングパッド部37にボンディングワイヤ38を接続する。

【0072】こうして、本実施形態による半導体装置が製造される(図8(c)参照)。

【0073】このように本実施形態によれば、シリコン基板に高抵抗層を埋め込む必要がないため、Qの高いインダクタを有する半導体装置を簡便な工程で製造することができ、半導体装置のコストダウンに寄与することが

できる。

【0074】[第2実施形態] 本発明の第2実施形態による半導体装置及びその製造方法を図9及び図10を用いて説明する。図9は、本実施形態による半導体装置を示す断面図である。図10は、本実施形態による半導体装置の製造方法を示す工程断面図である。図1乃至図8に示す第1実施形態による半導体装置及びその製造方法と同一の構成要素には、同一の符号を付して説明を省略または簡潔にする。

【0075】本実施形態による半導体装置及びその製造方法は、p形のシリコン基板10上にエピタキシャル層52が形成されていることに主な特徴がある。

【0076】即ち、図9に示すように、シリコン基板10上には、n形のシリコンより成るエピタキシャル層52が形成されている。

【0077】p形ウェル16bが形成された領域の近傍には、シリコン基板10とエピタキシャル層52との界面近傍に、n形の埋め込み拡散層54が形成されている。

【0078】本実施形態によれば、シリコン基板10上にエピタキシャル層52が形成されているので、シリコン基板10に直接pチャネルMOSFET26aとnチャネルMOSFET26bを形成する第1実施形態による半導体装置の場合と比べて、素子分離を容易化することができる。

【0079】即ち、第1実施形態による半導体装置では、シリコン基板10に直接pチャネルMOSFET26aとnチャネルMOSFET26bとを形成するため、素子分離膜12のみで素子分離を行うのは必ずしも容易ではなく、素子分離を確実にするためにはチャネルストップ層18を形成しなければならなかった。

【0080】これに対し、本実施形態によれば、エピタキシャル層52にpチャネルMOSFET26aとnチャネルMOSFET26bとを形成するので、チャネルストップ層18を形成することなく素子分離を容易に行うことができる。即ち、n形のエピタキシャル層52は、シリコン基板10のように高抵抗にする必要がないため、チャネルストップ層18を形成することなく容易に素子分離を行うことができる。

【0081】次に、本実施形態による半導体装置の製造方法を図10を用いて説明する。

【0082】図10(a)に示すように、まず、裏面に膜厚1 μm のポリシリコン膜36が形成された比抵抗800 $\Omega\text{ cm}$ 、酸素濃度 $5 \times 10^{17} \text{ cm}^{-3}$ の(100)のp形のシリコン基板10を用意する。

【0083】次に、p形のシリコン基板10上に、減圧CVD法により、n形のシリコンより成るエピタキシャル層52を形成する(図10(a)参照)。

【0084】次に、図6に示す第1実施形態による半導体装置の製造方法と同様にして、素子分離膜12及びゲ

ート絶縁膜20を形成する。

【0085】次に、nチャネルMOSFETが形成される領域40bを開口するフォトリソマスクをマスクとして、n形のドーパント不純物であるSb（アンチモン）を例えば $3.5 \times 10^{15} \text{ cm}^{-2}$ と高濃度にイオン注入することにより、n形の埋め込み拡散層54を形成する。イオン注入条件は、例えば、Sb⁺イオン、70 keV、 $3.5 \times 10^{15} \text{ cm}^{-2}$ とする。

【0086】次に、図6に示す第1実施形態による半導体装置の製造方法と同様にして、n形ウェル16a及びp形ウェル16bを形成する。

【0087】この後の半導体装置の製造方法は、図6(b)乃至図8(c)に示す第1実施形態による半導体装置の製造方法と同様であるので説明を省略する。

【0088】こうして、本実施形態による半導体装置が製造される。

【0089】このように、本実施形態によれば、シリコン基板上にエピタキシャル層を形成し、このエピタキシャル層にpチャネルMOSFETとnチャネルMOSFETとを形成するので、チャンネルストップ層を形成することなく容易に素子分離を行うことができる。

【0090】〔変形実施形態〕本発明は上記実施形態に限らず種々の変形が可能である。

【0091】例えば、上記実施形態では、pチャネルMOSFETとnチャネルMOSFETとを有するCMOS構造の半導体装置を例に説明したが、本発明は、CMOS構造の半導体装置に限定されるものではなく、インダクタを有するあらゆる構造の半導体装置に適用することができる。例えば、nチャネルMOSFETを有する半導体装置、pチャネルMOSFETを有する半導体装置、BiCMOS構造の半導体装置等、あらゆる半導体装置に適用することができる。また、CCD (Charge Coupled Device) などの発光素子や電力用半導体デバイス等にも適用することができる。

【0092】また、本発明は、SOI (Silicon on Insulator) 基板を用いた場合にも適用することができる。図11は、SOI基板を用いた半導体装置を示す概略図である。図11に示すように、シリコン基板10、シリコン酸化膜56、及びシリコン層68から成るSOI基板上には、平坦化膜28を介してインダクタ32bが形成されている。このようにSOI基板を用いた場合であっても、上記実施形態と同様に、Qの高いインダクタを有する半導体装置を提供することができる。

【0093】また、上記実施形態では、p形のシリコン基板10を用いる場合を例に説明したが、p形のシリコン基板に限定されるものではなく、n形のシリコン基板やi形のシリコン基板を用いる場合にも適用することができる。即ち、酸欠濃度の低いシリコン基板を用いれば、サーマルドナー現象による影響を低減することができるので、安定した特性の半導体装置を提供することが

できる。

【0094】また、上記実施形態では、シリコン基板の裏側にゲッタリングサイトとして機能するポリシリコン膜36を形成したが、ゲッタリングサイトはポリシリコン膜36に限定されるものではなく、他のあらゆるゲッタリングサイトを形成してもよい。例えば、シリコン基板10の裏面を粗く研磨することにより、ゲッタリングサイトを形成してもよい。

【0095】また、上記実施形態では、シリコン基板上に絶縁膜を介してインダクタを形成したが、必ずしも絶縁膜を介してインダクタを形成する必要はなく、所望の高いQを有するインダクタが形成されるような構成をとることができる。

【0096】〔付記〕

(付記1) 比抵抗 $800 \Omega \text{ cm}$ 以上、酸素濃度 $5 \times 10^{17} \text{ cm}^{-3}$ 以下のシリコン基板と、前記シリコン基板に形成されたインダクタとを有することを特徴とする半導体装置。

【0097】(付記2) 付記1記載の半導体装置において、前記シリコン基板中の第1の領域に形成されたウェルと、前記ウェル上に、ゲート絶縁膜を介して形成されたゲート電極と、前記ゲート電極の両側の前記ウェル内に形成され、少なくともその一方が前記インダクタに電気的に接続されたソース/ドレイン拡散層とを更に有することを特徴とする半導体装置。

【0098】(付記3) 付記2記載の半導体装置において、前記第1の領域の近傍の前記シリコン基板中に形成されたチャンネルストップ層を更に有することを特徴とする半導体装置。

【0099】(付記4) 付記1記載の半導体装置において、前記シリコン基板上に形成された第1の半導体層と、前記第1の半導体層の第1の領域に形成されたウェルと、前記ウェル上に、ゲート絶縁膜を介して形成されたゲート電極と、前記ゲート電極の両側の前記ウェル内に形成され、少なくともその一方が前記インダクタに電気的に接続されたソース/ドレイン拡散層とを更に有することを特徴とする半導体装置。

【0100】(付記5) 付記1乃至4のいずれかに記載の半導体装置において、前記シリコン基板は、金属不純物を捕捉するゲッタリング領域を更に有することを特徴とする半導体装置。

【0101】(付記6) 付記5記載の半導体装置において、前記ゲッタリング領域は、前記シリコン基板の裏面に形成された第2の半導体層であることを特徴とする半導体装置。

【0102】(付記7) 付記5記載の半導体装置において、前記ゲッタリング領域は、前記シリコン基板の裏面を研磨することにより形成されていることを特徴とする半導体装置。

【0103】(付記8) 比抵抗 $800 \Omega \text{ cm}$ 以上、酸

素濃度 $5 \times 10^{17} \text{ cm}^{-3}$ 以下のシリコン基板に、インダクタを形成する工程を有することを特徴とする半導体装置の製造方法。

【0104】（付記9） 付記8記載の半導体装置の製造方法において、前記シリコン基板は、金属不純物を捕捉するゲッタリング領域を更に有することを特徴とする半導体装置の製造方法。

【0105】

【発明の効果】以上の通り、本発明によれば、シリコン基板に含まれる酸素の濃度を低く設定することにより、サーマルドナー現象の影響を受けにくくすることができるので、比抵抗の高いp形のシリコン基板を用いた場合であっても、p形のシリコン基板の導電型がn形に反転してしまうのを抑制することができる。従って、本発明によれば、p形のシリコン基板の導電型がn形に反転してしまうのを回避しつつ、Qの高いインダクタを有する半導体装置を提供することができる。

【0106】また、本発明によれば、シリコン基板の裏面にゲッタリングサイトとして機能するポリシリコン膜が形成されているので、酸素濃度の低いシリコン基板を用いる場合であっても、金属不純物をゲッタリングすることができる。従って、本発明によれば、酸素濃度の低いシリコン基板を用いる場合であっても、半導体装置の特性が劣化するのを回避することができる。

【0107】また、本発明によれば、シリコン基板に高抵抗層を埋め込む必要がないため、Qの高いインダクタを有する半導体装置を簡便な工程で製造することができる。半導体装置のコストダウンに寄与することができる。

【0108】また、本発明によれば、シリコン基板上にエピタキシャル層を形成し、このエピタキシャル層にpチャネルMOSFETとnチャネルMOSFETとを形成するので、チャネルストップ層を形成することなく容易に素子分離を行うことができる。

【図面の簡単な説明】

【図1】本発明の第1実施形態による半導体装置を示す断面図である。

【図2】p形のシリコン基板の比抵抗とインダクタのQとの関係を示すグラフである。

【図3】比抵抗の高いシリコン基板を用いた半導体装置を示す概念図である。

【図4】熱処理時間とサーマルドナーの発生量との関係を示すグラフである。

【図5】本発明の第1実施形態による半導体装置の共振特性を示すグラフである。

【図6】本発明の第1実施形態による半導体装置の製造方法を示す工程断面図（その1）である。

【図7】本発明の第1実施形態による半導体装置の製造方法を示す工程断面図（その2）である。

【図8】本発明の第1実施形態による半導体装置の製造

方法を示す工程断面図（その3）である。

【図9】本発明の第2実施形態による半導体装置を示す断面図である。

【図10】本発明の第2実施形態による半導体装置の製造方法を示す工程断面図である。

【図11】本発明の変形実施形態による半導体装置を示す概略図である。

【図12】従来の半導体装置を示す概念図である。

【図13】提案されている半導体装置を示す概念図である。

【符号の説明】

10…シリコン基板
12…素子分離膜
14a、14b…素子領域
16a…n形ウエル
16b…p形ウエル
18…チャネルストップ層
20…ゲート絶縁膜
22…ポリシリコン膜
22a、22b…ゲート電極
24a、24b…ソース/ドレイン拡散層
26a…pチャネルMOSFET
26b…nチャネルMOSFET
28…平坦化膜
30…コンタクトホール
32a…配線
32b…インダクタ
34…カバー膜
36…ポリシリコン膜
37…ボンディングパッド部
38…ボンディングワイヤ
40a…pチャネルMOSFETが形成される領域
40b…nチャネルMOSFETが形成される領域
40c…インダクタが形成される領域
42…ポリシリコン膜
44…フォトレジストマスク
46…フォトレジストマスク
48…フォトレジストマスク
50…フォトレジストマスク
52…エピタキシャル層
54…埋め込み拡散層
56…シリコン酸化膜
58…シリコン層
70…シリコン基板
72…絶縁膜
74…インダクタ
110…シリコン基板
112…トレンチ
114…高抵抗層
128…絶縁膜

1 3 2 b…インダクタ

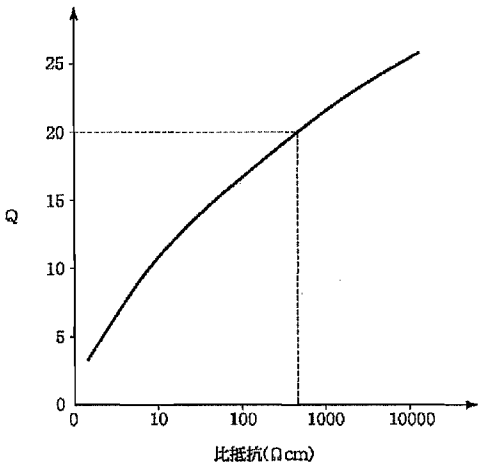
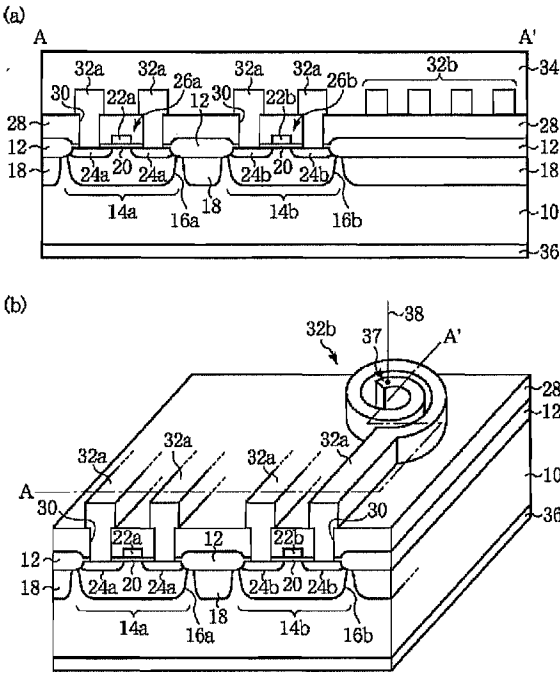
1 3 8…ボンディングワイヤ

【図 1】

【図 2】

本発明の第1実施形態による半導体装置を示す断面図

p形のシリコン基板の比抵抗とインダクタのQとの関係を示すグラフ

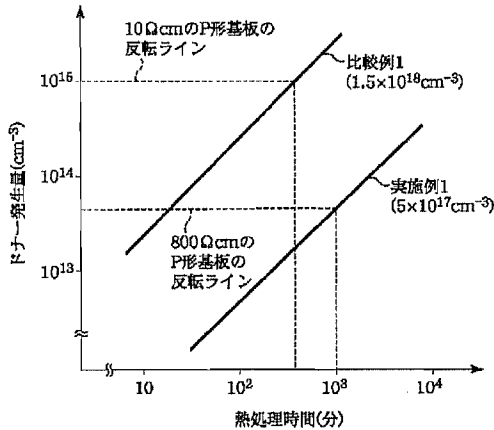
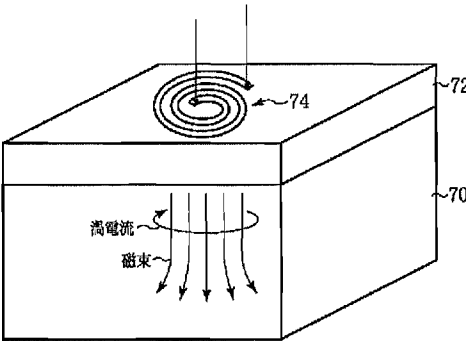


【図 3】

【図 4】

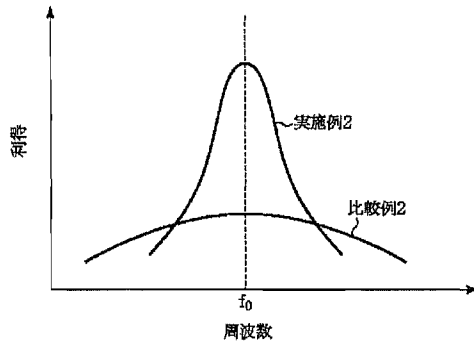
比抵抗の高いシリコン基板を用いた半導体装置を示す概念図

熱処理時間とサーマルドナーの発生量との関係を示すグラフ



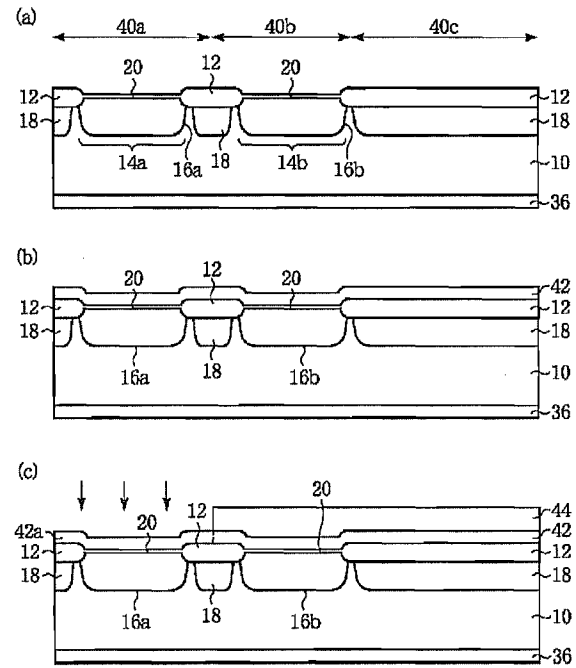
【図5】

本発明の第1実施形態による半導体装置の共振特性を示すグラフ



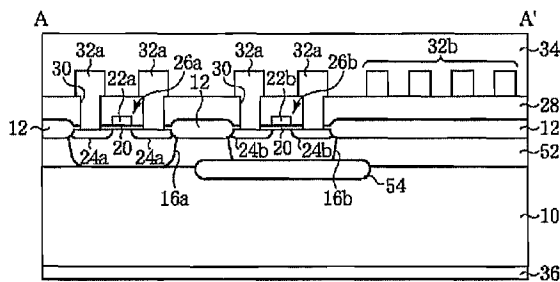
【図6】

本発明の第1実施形態による半導体装置の製造方法を示す工程断面図（その1）



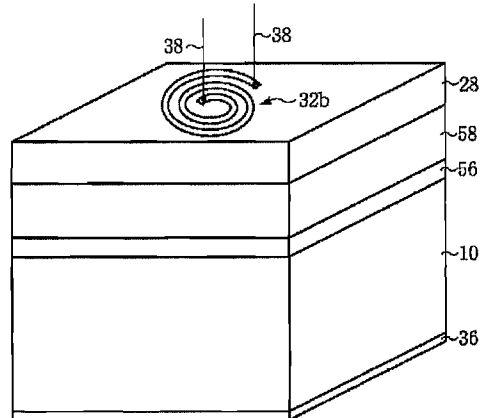
【図9】

本発明の第2実施形態による半導体装置を示す断面図



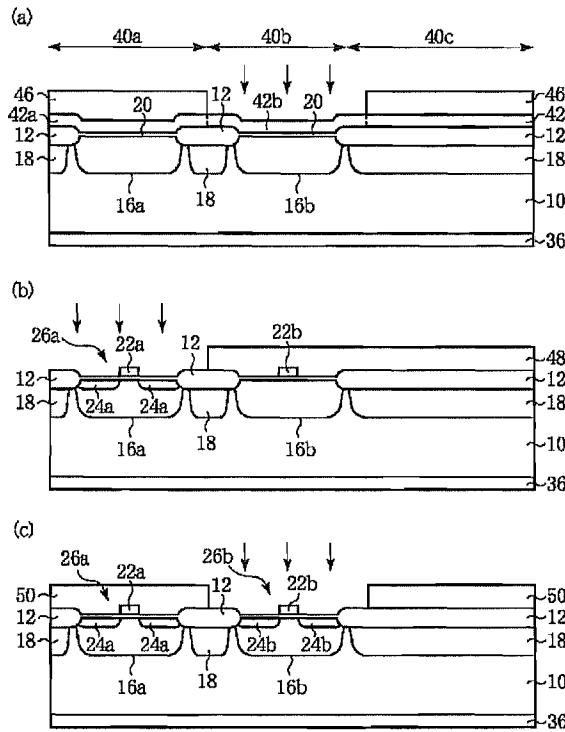
【図11】

本発明の変形実施形態による半導体装置を示す概略図



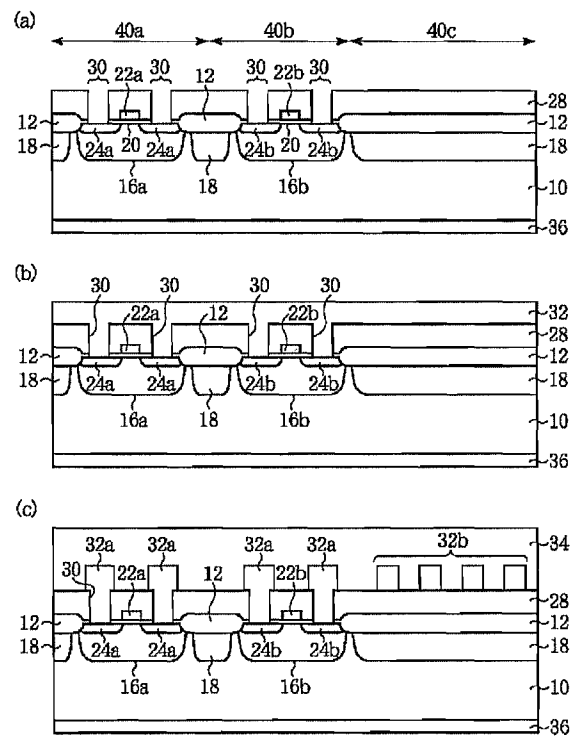
【図 7】

本発明の第1実施形態による半導体装置の製造方法を示す
工程断面図（その2）



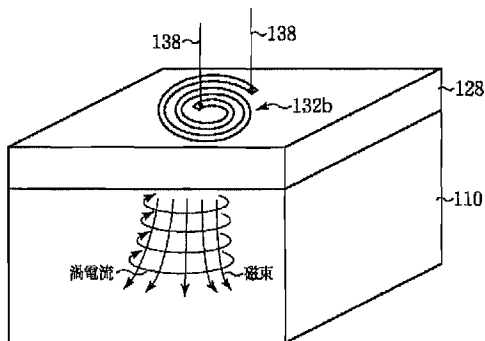
【図 8】

本発明の第1実施形態による半導体装置の製造方法を示す
工程断面図（その3）



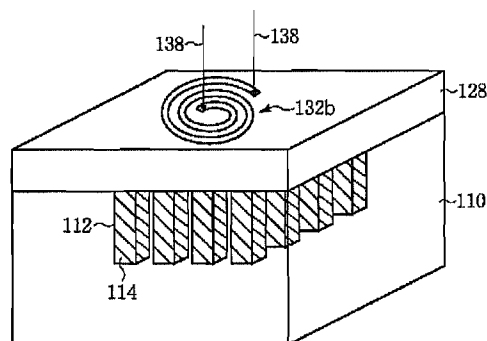
【図 1 2】

従来の半導体装置を示す概念図



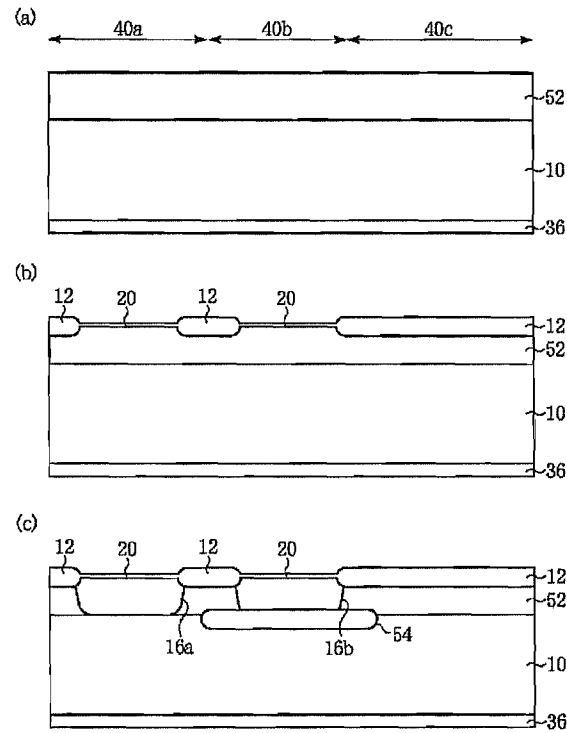
【図 1 3】

提案されている半導体装置を示す概念図



【図 10】

本発明の第2実施形態による半導体装置の製造方法を示す
工程断面図



フロントページの続き

(51) Int. Cl.⁷
H 0 1 L 27/092

識別記号

F I

テーマコード(参考)

(72) 発明者 本間 一弘
神奈川県川崎市中原区上小田中 4 丁目 1 番
1 号 富士通株式会社内

F ターム(参考) 5F038 AV06 AZ04 EZ01 EZ06 EZ11
EZ13 EZ14 EZ17 EZ18 EZ20
5F048 AA04 AA09 AC10 BA00 BA01
BA07 BA12 BA16 BB07 BE03
BG12 BH07